



日本特許庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出願年月日  
Date of Application:

1999年 2月26日

出願番号  
Application Number:

平成11年特許願第050735号

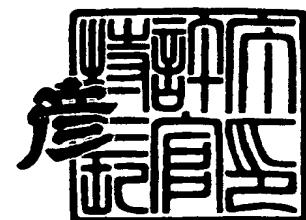
出願人  
Applicant(s):

三洋電機株式会社

2000年 3月17日

特許庁長官  
Commissioner,  
Patent Office

近藤 隆



出証番号 出証特2000-3016674

(●)

【書類名】 特許願

【整理番号】 KGA0990012

【提出日】 平成11年 2月26日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/01

【発明者】

【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

【氏名】 小島 弘

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 近藤 定男

【代理人】

【識別番号】 100076794

【弁理士】

【氏名又は名称】 安富 耕二

【連絡先】 03-5684-3268 知的財産部駐在

【選任した代理人】

【識別番号】 100107906

【弁理士】

【氏名又は名称】 須藤 克彦

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平11-050735

(●)

【包括委任状番号】 9702954

【プルーフの要否】 要

【書類名】 明細書  
【発明の名称】 半導体装置  
【特許請求の範囲】

【請求項1】 外部より入力信号が印加されるパッドを有する半導体装置において、

半導体基板上に形成されると共に、前記パッドに接続されるソースフォロワ回路領域を有し、前記パッド下部と前記ソースフォロワ回路領域の出力端とを接続することを特徴とする半導体装置。

【請求項2】 前記パッドの下部に、絶縁膜を挟んで分離領域で囲まれた島領域が形成されるとともに、前記ソースフォロワ回路の出力端と前記島領域とが接続されて成ることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記ソースフォロワ回路領域の出力端と前記島領域とをメタルによって配線することを特徴とする請求項2記載の半導体装置。

【請求項4】 外部より入力信号が印加されるパッドを有する半導体装置において、

半導体基板上に形成されると共に、入力端が前記パッドに接続される入力段回路領域と、

半導体基板上に形成されると共に、入力端がパッドに接続され、かつ出力端が前記パッド下部に接続されるバッファ回路領域と  
を有し、前記パッド下部と前記バッファ回路領域の出力端とを接続することを特徴とする半導体装置。

【請求項5】 前記パッドの下部に、絶縁膜を挟んで分離領域で囲まれた島領域が形成されるとともに、前記ソースフォロワ回路の出力端と前記島領域とが接続されて成ることを特徴とする請求項4記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、入力が高入力インピーダンスに設定される半導体装置に関する。

【0002】

## 【従来の技術】

J-FETは、BIP型素子に比較して入力インピーダンスが高く、MOS型FET素子に比較して静電破壊耐量も高いことから、コンデンサマイクロホン等の特定用途などに用いられている。この他にも小信号增幅用として低周波雑音が少ない事、高周波特性が良い事等の特性を有している。そして、ディスクリート型だけでなくBIP-ICに集積化されたJ-FETが開発されている。

## 【0003】

図6の如くJ-FETを集積化した集積回路において、外部回路から集積基板上に設けられたパッド1を介してJ-FET2のゲートに信号が印加される。外部からの入力信号により、J-FET2のゲート電圧が変化して、J-FET2に流れる電流量が変わる。その電流は負荷抵抗RLによって電圧に変換され、外部に伝達される。

## 【0004】

## 【発明が解決しようとする課題】

図6の回路を集積化すると、パッド1とサブストレートとの間に寄生容量が2個発生する。つまり、図7のように示される集積化されたパッドの断面図において、2つの分離領域101の間に島領域102が形成され、島領域102の上にパッドとしてのメタル103が形成されている。このように集積化すると、島領域102とメタル103との間にMOS容量が発生し、島領域102とサブストレートとの間にジャンクション容量が発生する。これらの寄生容量を回路で示すと、図7のようにパッド1とJ-FET2のゲートとの接続点が寄生容量3及び4を介して接地されることになる。パッド1に高出力インピーダンスを有する素子、例えば小容量のコンデンサを接続した場合、寄生容量3及び4は、コンデンサの容量に比べ非常に大きい値になる。特に、図7の回路を特定用途で使用して、入力パッド1の面積を大きくした場合には、寄生容量がさらに大きくなるので、コンデンサの容量と寄生容量との差はさらに顕著となる。寄生容量3及び4により、J-FET2のゲートに印加される入力信号がパッド1で大きく減衰され、信号を得ることが難しかった。

## 【0005】

【課題を解決するための手段】

本発明は、外部より入力信号が印加されるパッドを有する半導体装置において、半導体基板上に形成されると共に、前記パッドに接続されるソースフォロワ回路領域を有し、前記パッド下部と前記ソースフォロワ回路領域の出力端とを接続することを特徴とする。

【0006】

前記パッドの下部に、絶縁膜を挟んで分離領域で囲まれた島領域が形成されるとともに、前記ソースフォロワ回路の出力端と前記島領域とが接続されて成ることを特徴とする。特に、前記ソースフォロワ回路領域の出力端と前記島領域とをメタルによって配線することを特徴とする。

【0007】

また、外部より入力信号が印加されるパッドを有する半導体装置において、半導体基板上に形成されると共に、入力端が前記パッドに接続される入力段回路領域と、半導体基板上に形成されると共に、入力端がパッドに接続され、かつ出力端が前記パッド下部に接続されるバッファ回路領域とを有し、前記パッド下部と前記バッファ回路領域の出力端とを接続することを特徴とする。

【0008】

前記パッドの下部に、絶縁膜を挟んで分離領域で囲まれた島領域が形成されるとともに、前記ソースフォロワ回路の出力端と前記島領域とが接続されて成ることを特徴とする。

【0009】

本発明によれば、パッド下部とソースフォロワ回路の出力端とをメタルによって接続することにより、パッドの下部に発生する2つの寄生容量の接続点にソースフォロワ回路の出力端が接続されることになるので、寄生容量の悪影響を抑えることができる。

【0010】

【発明の実施の形態】

図1は本発明の実施の形態を示す図であり、従来例である図3と異なる点は、J-FET2のソースに定電流源5を接続し、入力がJ-FET2のソースに、

出力が寄生容量3及び4の接続点に接続されるバッファ回路6を備える点にある。

【0011】

図1において、J-FET2のゲートに正振幅の入力信号が印加されると、J-FET2に流れる電流は増加する。すると、定電流源5の電流よりも増加した分がバッファ回路6に供給される。そして、バッファ回路6の出力電流も増加することにより、寄生容量4に電流が供給され、寄生容量4は充電される。寄生容量4が充電されることで、寄生容量3及び4の接続点の電圧が増加する。よって、J-FET2のゲート電圧が増加すると、寄生容量3及び4の接続点電圧も増加する。

【0012】

逆に、J-FET2のゲートに負振幅の入力信号が印加されると、J-FET2のゲートに負振幅の入力信号が印加されると、J-FET2に流れる電流が定電流源5の定電流より減少する。すると、バッファ回路6の出力電流により、寄生容量4を放電させる。放電により寄生容量3及び4の接続点の電圧が減少するので、J-FET2のゲート電圧の減少に応じて寄生容量3及び4の接続点電圧も減少することになる。

【0013】

バッファ回路6を設けることで、寄生容量3の両極を同相で変化させることができる。また、バッファ回路6を調整することにより、寄生容量3及び4の充放電量を調整することで、寄生容量3及び4の接続点の電圧変化を入力信号のレベルと同一に調整することが可能である。寄生容量3の両極電圧を、同相及び同一レベルで振幅させることができるので、寄生容量3の電荷の変化が無くなる。よって、等価的に入力パッド1から見える寄生容量3を無視することができる。その結果、入力信号の減衰に係わる寄生容量は寄生容量4だけになり、入力信号の減衰量を低下させることができる。

【0014】

ところで、バッファ回路6としては、J-FET2と同様に高入力インピーダンスに設定される。また、ジャンクション容量である寄生容量4の容量は絶対値

で見ると比較的小さいため、バッファ回路6の駆動能力は大きくなくともよい。その為、バッファ回路6を簡単な構成でよいため、素子数を少なく、集積化した場合にはチップ面積を小さくすることができる。

#### 【0015】

さらに、バッファ回路6の駆動能力を大きくする必要はないため、寄生容量4の充放電をJ-FETのソース電流によって行うことが可能である。いわゆるJ-FETのソースフォロワ回路によって、寄生容量4の充放電が可能である。このようなJ-FET回路による充放電ができる事によって、図1のJ-FET2とバッファ回路6とを兼用することができる。図2にJ-FET2とバッファ回路6とを兼用した実施形態を示す。図2においては、J-FET2のソースから出力信号を取り、かつJ-FET2のソースフォロワ回路で寄生容量4を充放電させる。

#### 【0016】

尚、図1及び図2において、集積回路の入力段回路として、J-FET2を用いたが、これに限らない。ハイ入力インピーダンスの入力段回路や、例えばバッファ回路を含むハイ入力インピーダンスのアンプにも、図1や図2の回路を適用することができる。

#### 【0017】

図3は、図2の半導体集積回路を半導体基板上に集積化した場合の基板断面図である。電解効果トランジスタJ-FETとしてのNチャンネル型の素子を形成し、更にはNPNトランジスタと共に同一基板上に集積化したものである。

#### 【0018】

図3中、符号21は単結晶シリコン半導体基板を示す。一般的なバイポーラ型集積回路に用いられる基板の比抵抗が $2\sim4\Omega\cdot\text{cm}$ 程度、高い場合でも $40\sim60\Omega\cdot\text{cm}$ であるのに対し、本願の半導体基板21は比抵抗が $100\sim500\Omega\cdot\text{cm}$ と極めて高いものを用いる。

#### 【0019】

まず、電解効果トランジスタFETの構造について説明する。半導体基板上の表面にはN+埋め込み層22を形成し、その上に形成したN型のエピタキシャル

層23をP+分離領域24で接合分離して複数の島領域25を形成する。島領域25の一つには、N+埋め込み層22に重畠してP+埋め込み層26が設けられ、P+埋め込み層26は島領域25表面からの拡散により形成したPウェル領域27と連結している。Pウェル領域27の表面には、N型のチャネル領域28とP+型のトップゲート領域29を設け、チャネルを構成する領域28をエピタキシャル層23表面から下方に埋め込んでいる。Pウェル領域27がバックゲートとなる。

#### 【0020】

チャネル領域28とトップゲート領域29の端部に重畠して、ウェル領域28の低濃度領域表面を覆うように、P+型のゲートコンタクト領域30が形成される。さらに、チャネル領域を貫通するようにして、N+型のソース領域31とドレイン領域32とが形成される。このトランジスタは、ゲートに印加される電位に応じてチャネル領域28内に空乏層を形成し、ソース・ドレイン間のチャネル電流を制御する。符号33がソース電極、符号34がドレイン電極、同じく符号35がゲート電極である。

#### 【0021】

次にバイポーラトランジスタについて説明する。半導体基板21の他の島領域25には、表面にP型のベース領域36を形成し、ベース領域36の表面にN+エミッタ領域37を形成して、島領域25をコレクタとするNPNトランジスタを構成する。符号38はN+コレクタコンタクト領域である。また、符号39はエミッタ電極、符号40はベース電極、符号41はコレクタ電極である。

#### 【0022】

これらの電極群は、対応する核拡散領域の表面にオーム接觸すると共に、エピタキシャル層23表面を被膜するシリコン酸化膜42の上を延在し、各回路素子間を接続して集積回路網を形成する。このうち、J-FETのゲートに接続されるゲート電極35は、酸化膜42の上に拡張されて、例えば直径が1.0～1.5mmの円形パターンから成るパッド43に接続する。パッド43は図2のパッド1のことである。

#### 【0023】

さらに、パッド43の下部の構造について説明する。パッド43の下部は、酸化膜42を挟んでP+分離領域24で囲まれた島領域25の一つが位置し、更にその下部には高比抵抗の半導体基板21が位置する。そして、パッド43の下部を除く半導体基板21の表面には、半導体基板21よりも比抵抗が得られるよう、P型の拡散領域44を形成している。P+分離領域24にはエピタキシャル層23表面からP型拡散領域44に達している。

#### 【0024】

また、図3においては、パッド43下部の島領域25とJ-FETのソース電極31が接続できるようにコンタクト46が形成される。このコンタクト46とソース電極31とはメタル配線によって接続される。このメタル配線はそれぞれの電極やパッド43と同一の層に形成される。尚、このメタル配線について図3に図示されないが、後述の図4の平面図で詳しく説明される。

#### 【0025】

図4は、この半導体装置の全体像を示す平面図である。チップサイズが略2.5×3.0mm程度の半導体チップ50のほぼ中央部分に、直径が1.0~1.5mm程度のパッド43が設けられており、パッド43の一部が延在してJ-FET51のゲート電極に接続されている。また、パッド43の外側にコンタクト46が形成されており、このコンタクト46とJ-FET51のソース電極とはメタル配線53によって接続される。半導体チップ50の周辺部には、外部接続用ボンディングパッド52が複数個配置されている。他の回路素子、例えばNPNトランジスタ、抵抗素子、容量素子などは、パッド43を除いた領域にパッド43を囲むように配置されている。その配置領域の中には図2の定電流源も配置され、定電流源はJ-FETのソース電極31と接続される。

#### 【0026】

このようにJ-FETのソース電極31とコンタクト46とがメタル配線によって接続されることによって、図2のように寄生容量3及び4の接続点にJ-FET31のソース電極を接続し得る構成を実現することができる。つまり、図3に示されるように、酸化膜42を誘電体としてパッド43と島領域25とにより寄生容量3が構成され、島領域25と半導体基板21とのPN接合により寄生容

量4が構成され、島領域25が寄生容量3及び4の接続点になる。従って、島領域25を、コンタクト46を介してJ-FETのソースに接続することで、図1の如き構成にすることができるのである。

【0027】

尚、島領域25とP+分離領域24とのPN接合によっても寄生容量Cが発生して、容量3と接地電位との間を接続するものの、面積比で考慮すれば寄生容量Cは無視し得る範囲内の容量である。従来の寄生容量4が数十pFであるのに対し、容量Cは数m pFである。

【0028】

よって、パッド43の下部とJ-FETのソース電極をメタルで配線するだけでよいため、全く回路素子を追加することなく、簡単に寄生容量対策を講じることができる。

【0029】

図5は、図1の回路に対応する半導体装置の平面図である。パッド43の外側にバッファ回路54の領域が形成され、バッファ回路54の入力端がパッド43に接続され、また出力端がコンタクト46を介してパッド43下部の島領域25に接続される。半導体チップ50の周辺部には、外部接続用ボンディングパッド52が複数個配置されている。他の回路素子、例えばNPNトランジスタ、抵抗素子、容量素子などは、パッド43を除いた領域にパッド43を囲むように配置されている。その配置領域の中には図1の定電流源も配置され、定電流源はJ-FETのソース電極31と接続される。図5のように接続されることによって、図1のように寄生容量3及び4の接続点にバッファ回路6(54)を接続し得る構成を実現することができる。

【0030】

【発明の効果】

本発明に依れば、高入力インピーダンスかつ低容量のパッドを形成することができ、パッドにおける入力信号の減衰を防止することができる。

【図面の簡単な説明】

【図1】

本発明の実施の形態を示す回路図である。

【図2】

本発明の他の実施の形態を示す回路図である。

【図3】

図2の回路を集積化したときの半導体装置の断面図である。

【図4】

図2の回路を集積化したときの半導体装置の平面図である。

【図5】

図1の回路を集積化したときの半導体装置の平面図である。

【図6】

従来例を示す回路図である。

【図7】

入力パッドを形成する半導体基板の断面図である。

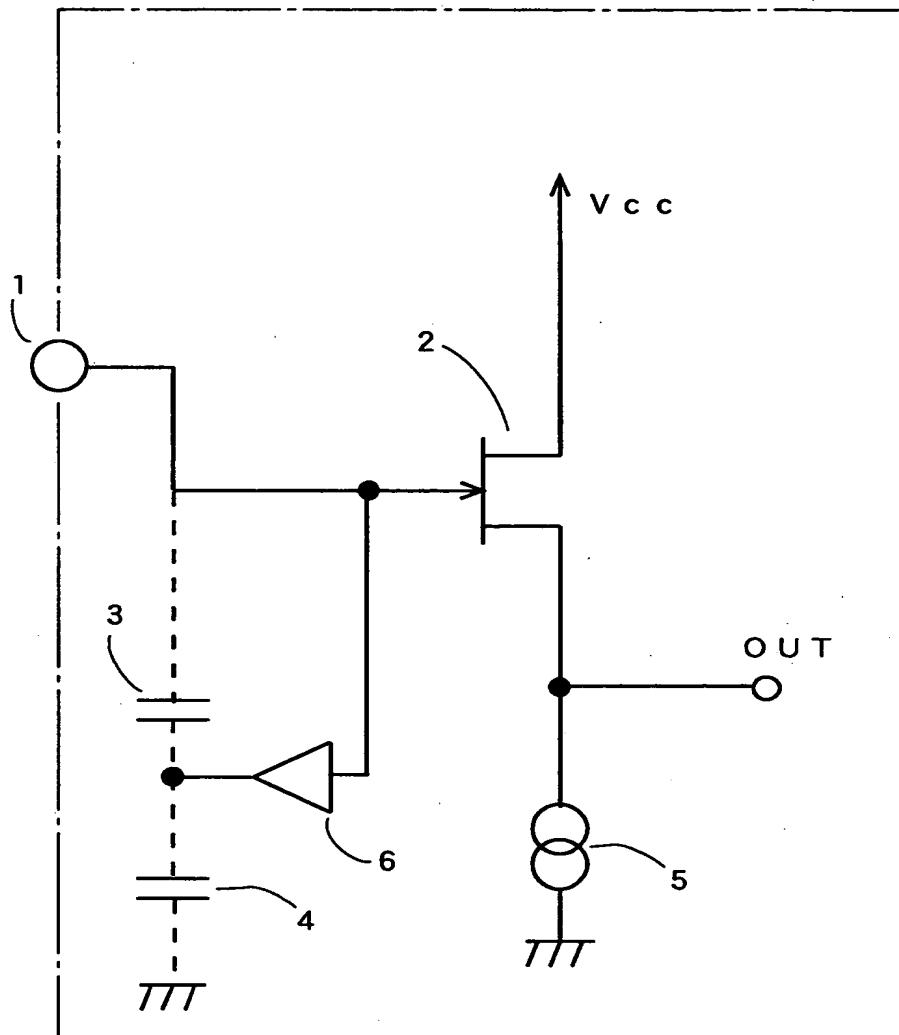
【符号の説明】

1	パッド
2	J-FET
3、4	寄生容量
5	定電流源
6	バッファ回路

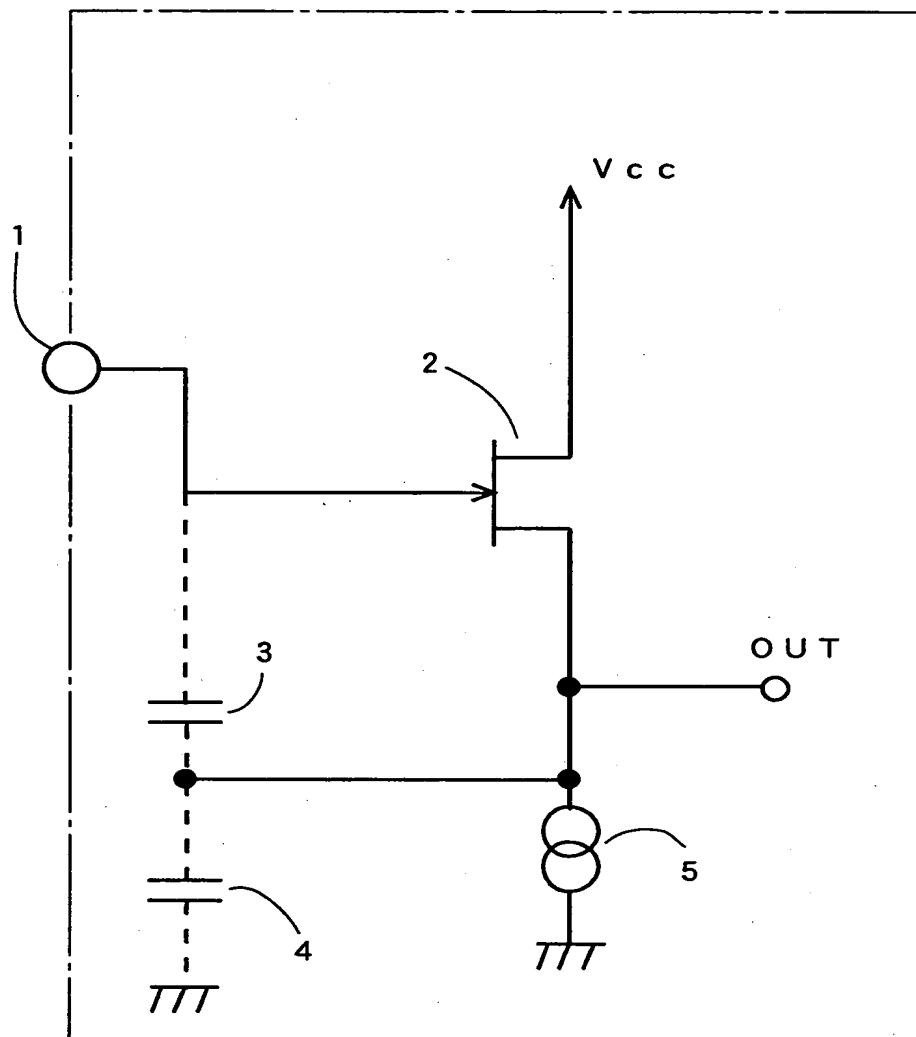
【書類名】

図面

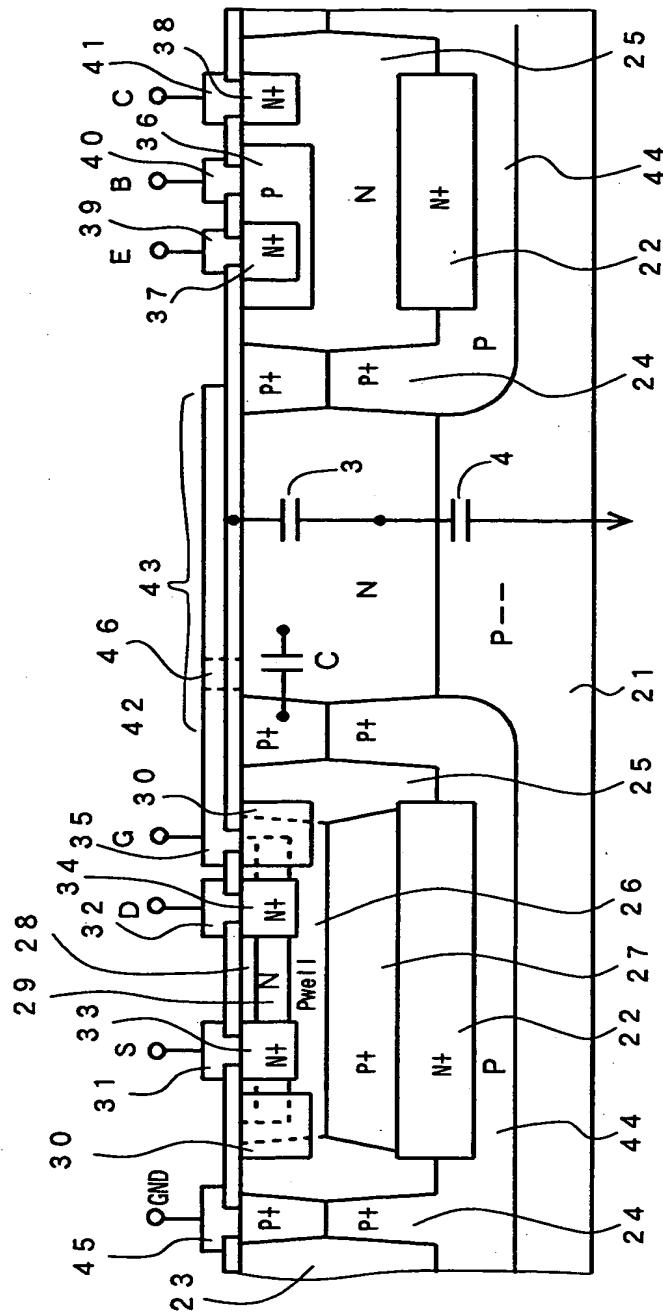
【図1】



【図2】

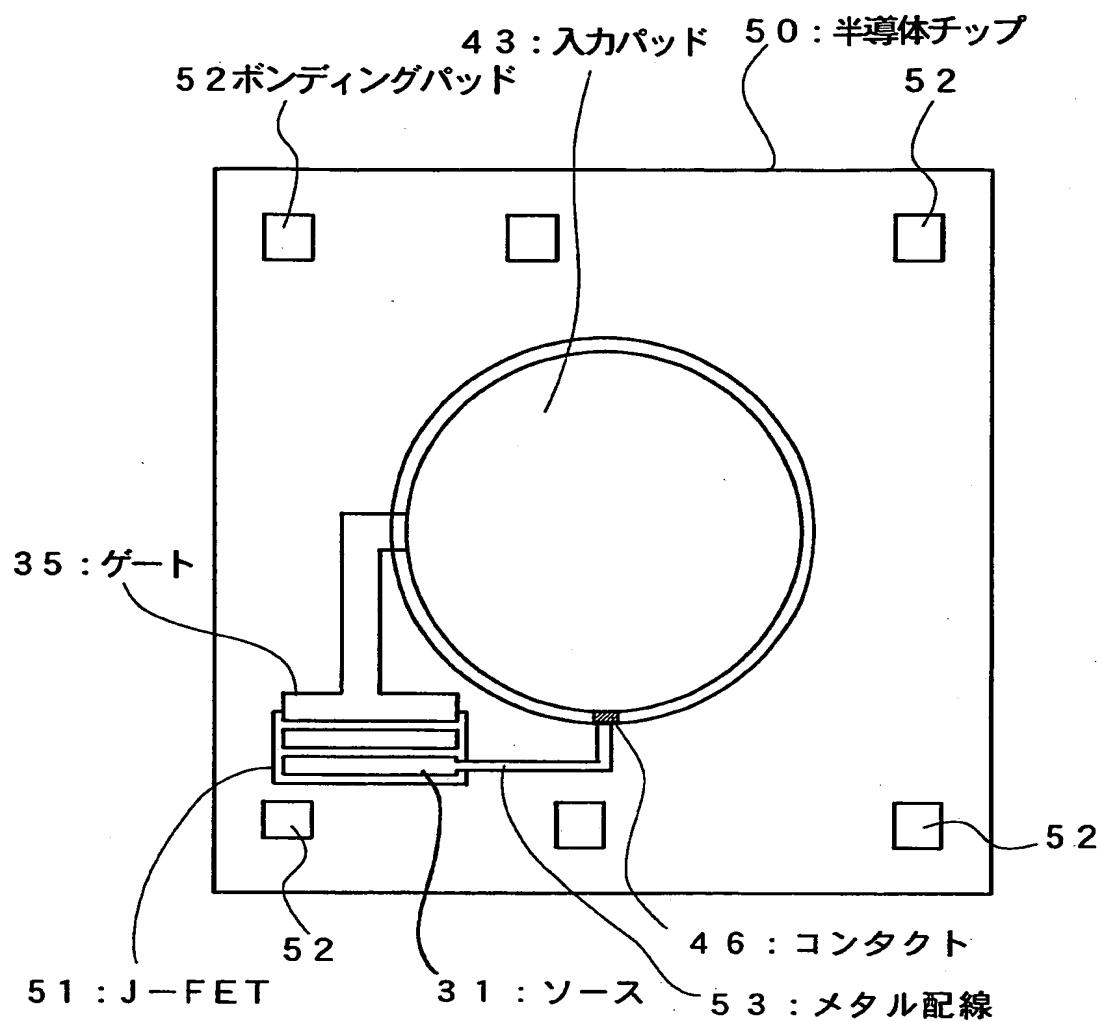


【図3】

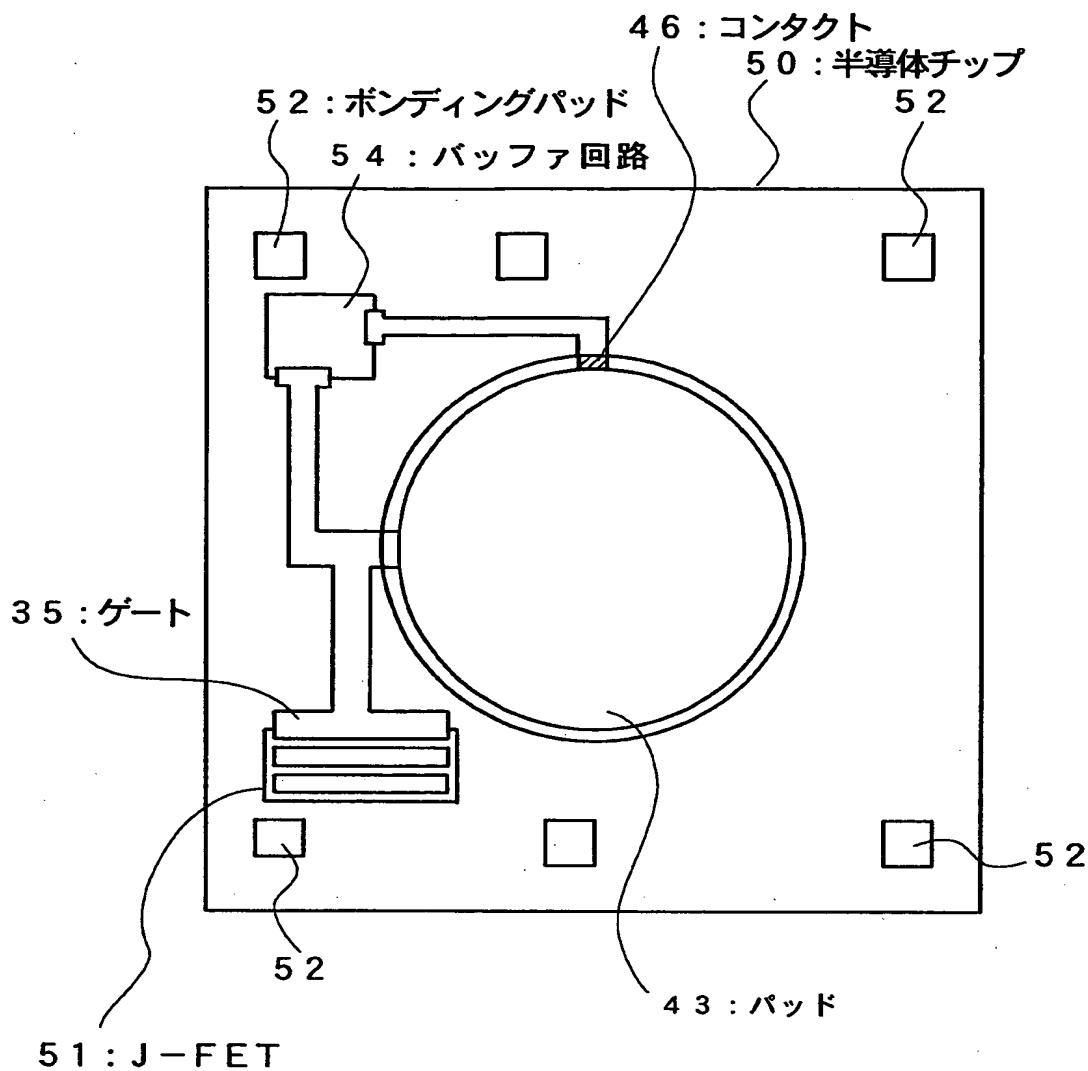


3、4、C 容量	35 ゲート電極
21 高抵抗基板	43 拡張電極
29 チャネル領域	44 P型拡散領域
30 ゲートコンタクト領域	46 コンタクト
31、32 ソース、ドレン領域	

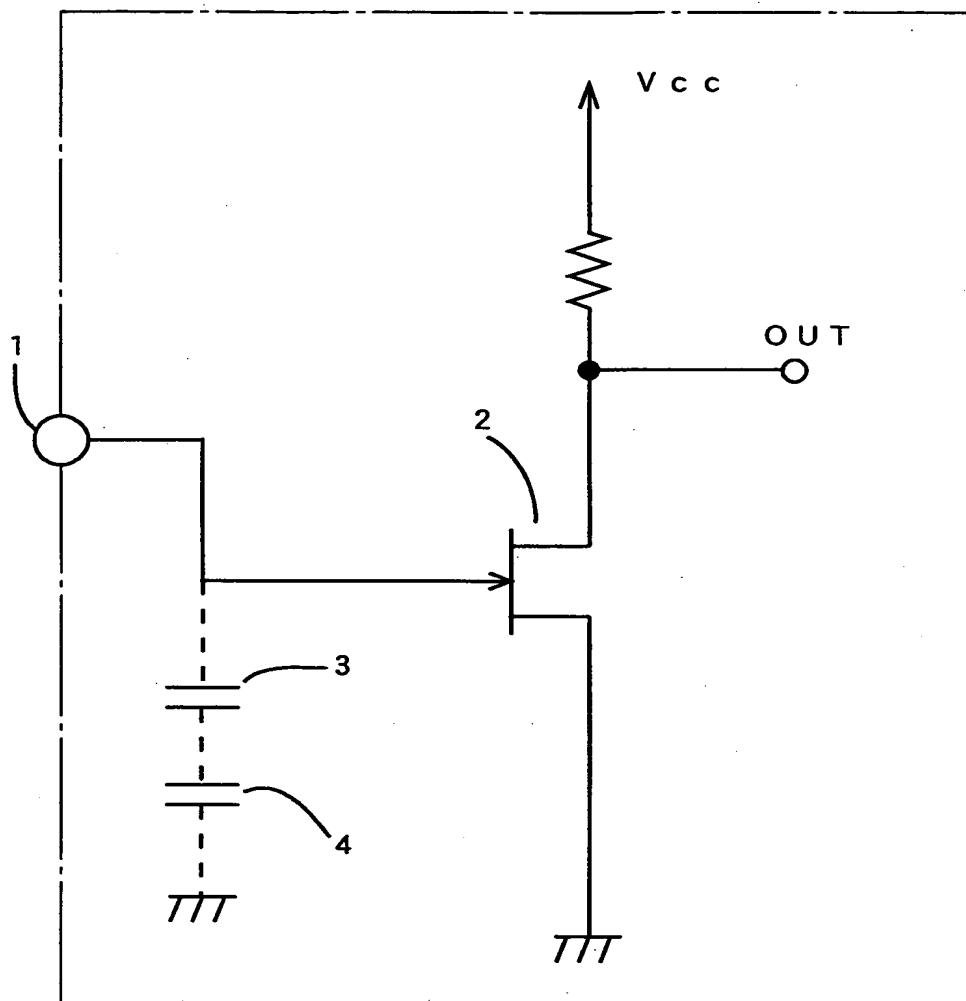
【図4】



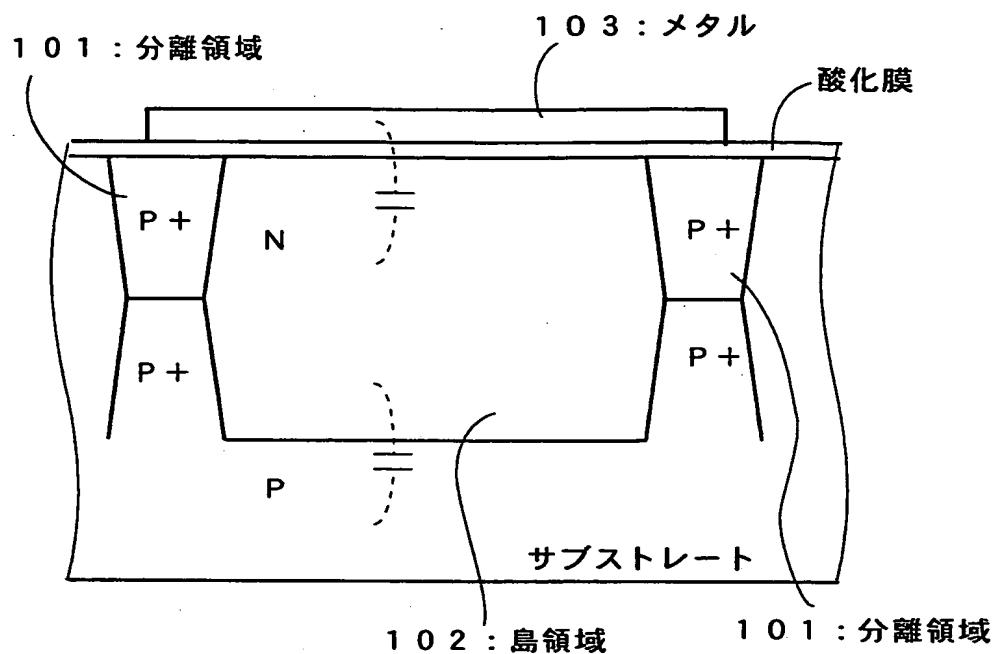
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 寄生容量に起因する入力パッドでの減衰を防止する。

【解決手段】 半導体チップ50のほぼ中央部分に、円形のパッド43が設けられており、パッド43の一部が延在してJ-FET51のゲート電極に接続されている。また、パッド43の外側にコンタクト46が形成されており、このコンタクト46とJ-FET51のソース電極とはメタル配線53によって接続される。半導体チップ50の周辺部には、外部接続用ボンディングパッド52が複数個配置されている。他の回路素子、例えばNPNトランジスタ、抵抗素子、容量素子などは、パッド43を除いた領域にパッド43を囲むように配置されている。その配置領域の中には図2の定電流源も配置され、定電流源はJ-FETのソース電極31と接続される。

【選択図】 図1

出願人履歴情報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社